

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-185757

(43)Date of publication of application : 25.07.1989

(51)Int.Cl.

G06F 13/20

(21)Application number : 63-009641

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.01.1988

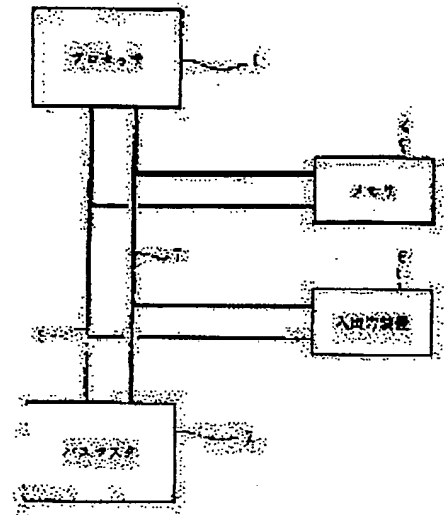
(72)Inventor : USUI FUMIO

## (54) DATA TRANSFER EQUIPMENT

### (57)Abstract:

**PURPOSE:** To improve the data transfer efficiency of a data transfer equipment by providing a couple of buses in a different system apart from a system bus and transferring data through the use of the bus in the different system when the system bus is used.

**CONSTITUTION:** A microprocessor 1 and a memory 4 and an input output device 6 transferring data are connected by the system bus 7, and a bus master 2 which can directly transfer data with the memory 4 and the input output device 6 is connected to the system bus 7. The bypass 8 enables the transfer of data between the microprocessor 1 which does not use the system bus 7 or the bus master 2, and the memory 4 or the input output device 6 while the system bus 7 is used. Thus, the efficiency of the system can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

平1-185757

⑤Int.Cl.<sup>4</sup>  
G 06 F 13/20識別記号  
3 2 0庁内整理番号  
B-8840-5B

⑬公開 平成1年(1989)7月25日

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 データ転送装置

⑮特 願 昭63-9641

⑯出 願 昭63(1988)1月21日

⑰発 明 者 臼 井 文 雄 兵庫県加東郡社町佐保35番(番地なし) 富士通周辺機株式会社内

⑱出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲代 理 人 弁理士 青 木 朗 外3名

## 明 細 書

## 1. 発明の名称

データ転送装置

## 2. 特許請求の範囲

マイクロプロセッサ(1)を備え、このマイクロプロセッサ(1)とデータ転送を行うメモリ(4)及び入出力装置(6)がシステムバス(7)により連絡されており、このシステムバス(7)に前記メモリ(4)及び入出力装置(6)とデータを直接転送可能なバスマスタ(2)が接続されているデータ転送装置において、

前記システムバス(7)が使用中に、システムバス(7)を使用中でないマイクロプロセッサ(1)或いは前記バスマスタ(2)と、メモリ(4)または入出力装置(6)とのデータ転送を可能にするバイパスバス(8)を設けたことを特徴とするデータ転送装置。

## 3. 発明の詳細な説明

## (概 要)

本発明はプロセッサとデータを直接転送可能なバスマスタが効率良くデータ転送を行うデータ転送装置に関し、

システムバスの他に別系統のバスをもう一組設け、システムバスが使用されている時には別系統のバスを用いてデータを転送して、データ転送装置のデータ転送効率を向上させることを目的とし、

マイクロプロセッサを備え、このマイクロプロセッサとデータ転送を行うメモリ及び入出力装置がシステムバスにより連絡されており、このシステムバスに前記メモリ及び入出力装置とデータを直接転送可能なバスマスタが接続されているデータ転送装置において、前記システムバスが使用中に、システムバスを使用中でないマイクロプロセッサ或いは前記バスマスタと、メモリまたは入出力装置とのデータ転送を可能にするバイパスバスを設けてデータ転送装置を構成する。

## (産業上の利用分野)

本発明はプロセッサの他にデータを直接転送可能なバスマスタがデータ転送を行う。データ転送装置に関し、特に、データ転送を行うシステムバスの他にバイパスバスを設けてシステムの効率を

向上させたデータ転送装置に関する。

従来、マイクロプロセッサ・システムのバスには複数のデータを直接転送可能なバスマスタ、例えばダイレクト・メモリ・アクセス・コントローラ (DMAC) が接続されており、それぞれがバスマスタとなって主記憶装置と入出力装置との間で直接データの転送を行うことができるようになっている。このように、1つのバスに複数のデータを直接転送可能なバスマスタが接続されており、それぞれが多重で動作しなければならない場合でも、1つのバスを占有できるのは1つのプロセッサ或いはバスマスタに限られるので、同時に転送要求がある場合のより速いデータ転送が望まれている。

#### 〔従来の技術〕

第4図は従来のデータ転送装置の構成を示すブロック図であり、第5図は第4図の装置の動作を説明するためのタイムチャートである。

図において、1はマイクロプロセッサ (以後単

システムバス調停回路5は時刻 $t_1$ でプロセッサ1に対してシステムバス応答信号②を返し、バスマスタ2には応答しない。

システムバス応答信号②を受け取ったプロセッサ1は時刻 $t_1$ でアドレス信号③をアドレスバス17に出力し、アドレス一時保持回路11aにこのアドレス信号③を一時保持させた後にI/O6にアドレスを出力してシステムバス7を使用してI/O6のアクセスを行う。プロセッサ1は時刻 $t_2$ でI/O6へのアクセスを終了するとシステムバス要求信号①を取り下げる。システムバス要求信号①が取り下げられると、システムバス調停回路5は時刻 $t_3$ でプロセッサ1へのシステムバス応答信号②を取り下げ、以前からバスマスタ2より出力されていたシステムバス要求信号③に対応して時刻 $t_4$ でシステムバス応答信号④をバスマスタ2に返す。

応答を受けたバスマスタ2はアドレス信号③を出してアドレス一時保持回路11bで一時保持してメモリ制御回路3にアドレスを出し、システムバ

にプロセッサと言う)、2はデータを直接転送可能なバスマスタ、3はメモリ制御回路、4はメモリ (RAM)、5はシステムバス調停回路、6は入出力装置 (以後I/Oという)、7はシステムバス、11a、11bはアドレス一時保持回路、12a、12b、12c、12dはそれぞれデータ方向切換回路、17はアドレスバスを示している。そして、プロセッサ1、バスマスタ2、メモリ4およびI/O6はそれぞれデータ方向切換回路12a、12b、12c、12dを介してシステムバス7に接続されており、プロセッサ1、バスマスタ2およびメモリ制御回路3はアドレスバス17で連絡されている。

例えば、プロセッサ1がI/O6をアクセスし、バスマスタ2がメモリ4を同時にアクセスしようとした場合、第5図に示すようにプロセッサ1はシステムバス要求信号①を時刻 $t_0$ でシステムバス調停回路5に出力し、バスマスタ2も時刻 $t_0$ でシステムバス要求信号③をシステムバス調停回路5に出力してシステムバス要求を行う。プロセッサ1の優先順位の方がバスマスタ2より高い場合、

ス7を使用してメモリ4のアクセスを行う。そして、バスマスタ2のメモリアccessが終了すると、バスマスタ2は時刻 $t_5$ でシステムバス要求信号③を取り下げ、これに回答してシステムバス調停回路5は時刻 $t_6$ でシステムバス応答信号④を取り下げる。

#### 〔発明が解決しようとする課題〕

ところが、従来のデータ転送装置は、プロセッサ1かバスマスタ2のどちらか一方がシステムバス7を使用している時には、もう一方はシステムバス7が開放されるまで待っていなければならない、システムの効率を向上させる上の課題となっていた。

本発明は前記従来のデータ転送装置の有する課題を解消するためになされたものであり、システムバス7の他に別系統のバスをもう一組設け、システムバス7が使用されている時には別系統のバスを用いてデータを転送し、システムの効率を向上させたデータ転送装置を提供することを目的と

している。

〔課題を解決するための手段〕

前記課題を解消する本発明のデータ転送装置の原理ブロック図が第1図に示される。

図において、マイクロプロセッサ(1)とデータ転送を行うメモリ(4)及び入出力装置(6)がシステムバス(7)により連絡されており、このシステムバス(7)に前記メモリ(4)及び入出力装置(6)とデータを直接転送可能なバスマスタ(2)が接続されている。バイパスバス(8)は前記システムバス(7)が使用中に、システムバス(7)を使用中でないマイクロプロセッサ(1)或いは前記バスマスタ(2)と、メモリ(4)または入出力装置(6)とのデータ転送を可能にする。

〔作 用〕

本発明のデータ転送装置によれば、プロセッサまたはバスマスタの一つがシステムバスを使用してデータ転送を行っている時に、メモリまたはI/O 6とのデータ転送要求がシステムバスを使用

していないプロセッサまたはバスマスタから出力されると、バイパスバス調停回路によりバイパスバス応答があり、データ転送要求を出力したプロセッサまたはバスマスタはバイパスバスを使用してデータ転送を実行することができる。

〔実施例〕

以下添付図面を用いて本発明の実施例を詳細に説明するが、従来装置と同じ構成要素については同じ符号を付して説明する。

第2図は本発明のデータ転送装置の一実施例の構成を示すブロック図であり、この例はプロセッサ以外にDMA転送を行えるバスマスタが2つある場合のものである。図において、1はプロセッサ、1aはプロセッサのバス要求回路、3はメモリ制御回路、4はメモリ(RAM)、5はシステムバス調停回路、6は入出力装置(以後I/Oという)、7はシステムバス、8はバイパスバス、9はバイパスバス調停回路、10はバス使用状態監視回路、11a, 11b, 11c, 11d, 11eはアドレス一時

保持回路、13a, 13b, 13c, 13d, 13e, 13f, 13g, 13h, 13iはそれぞれデータ方向切替及び一時保持回路、17はアドレスバス、20a, 20bはバスマスタのバス要求回路、21は第1のバスマスタ、22は第2のバスマスタを示している。

そして、プロセッサ1、バスマスタ21, 22、メモリ4およびI/O 6はそれぞれデータ方向切替回路及び一時保持回路13a, 13b, 13c, 13d, 13eを介してシステムバス7に接続されていると共に、これらは全てアドレスバス17で連絡されている。尚、この実施例では前記バイパスバス8は使用頻度の高いメモリ4をプロセッサ1とバスマスタ21, 22とをそれぞれデータ方向切替回路及び一時保持回路13f, 13g, 13h, 13iを介して接続している。一方、I/O 6の方が使用頻度が高い場合にはバイパスバス9をプロセッサ1、バスマスタ21, 22及びI/O 6の接続に使用しても良く、また、プロセッサ1、バスマスタ21, 22、メモリ4及びI/O 6に全て接続するようにバイパスバス9を設けても良い。

バス使用状態監視回路10はシステムバス調停回路5及びバイパスバス調停回路9に接続しており、システムバス調停回路5及びバイパスバス調停回路9からのバス応答信号の有無を監視している。そして、システムバス調停回路5或いはバイパスバス調停回路9がプロセッサ1またはバスマスタ21, 22の何れかにバス応答信号を出力すると、プロセッサのバス要求回路1aおよびバスマスタのバス要求回路20a, 20bに対してシステムバス7またはバイパスバス8の使用状態を通知する。

この結果、プロセッサのバス要求回路1a及びバスマスタのバス要求回路20a, 20bがデータ転送を行う時には、バス使用状態監視回路10からシステムバス7の使用通知或いはバイパスバス8の使用通知に応じて、システムバス要求信号或いはバイパスバス要求信号をそれぞれシステムバス調停回路5或いはバイパスバス調停回路9に出力する。この実施例ではバイパスバス8がメモリ4のみに接続されているので、例えば、プロセッサ1はシステムバス7を使用して優先的にメモリ4及びI

／O 6にアクセスできるようにし、バスマスタ21、22はシステムバス7がプロセッサ1に使用されている時にバイパスバス8を使用してメモリ4とのデータ転送を行うことができるようにできる。

以上のように構成された実施例のデータ転送装置の動作の一例を第3図のタイムチャートを用いて説明する。

例えば、プロセッサ1がI/O 6をアクセスし、バスマスタ2がメモリ4をアクセスしようとした場合について説明する。第3図に示すように時刻 $T_0$ においてはシステムバス使用信号及びバイパスバス使用信号はローレベル“L”であるので、プロセッサ1はバス要求回路1aを通じてシステムバス要求信号①をシステムバス調停回路5に出力する。すると、システムバス調停回路5は時刻 $T_1$ でバス要求回路1aに対してシステムバス応答信号②を返し、システムバス7の使用を許可する。バス使用状態監視回路10はこのシステムバス応答信号②を検出すると、システムバス使用信号をハイレベル“H”にし、これをバスマスタ21、22のバス要求回

路20a、20bに通知する。

システムバス応答信号②を受け取ったプロセッサ1は時刻 $T_1$ でアドレス信号③をアドレスバス17に出力し、アドレス一時保持回路11bにこのアドレス信号③を一時保持させた後にI/O 6にアドレスを出力してシステムバス7を使用してI/O 6のアクセスを行う。この時、アドレス一時保持回路11a、11d、11fは機能抑止（ディスエーブル）状態となる。

プロセッサ1は時刻 $T_2$ でI/O 6へのアクセスを終了するとシステムバス要求信号①を取り下げる。システムバス要求信号①が取り下げられると、システムバス調停回路5は時刻 $T_3$ でプロセッサ1へのシステムバス応答信号②を取り下げる。この結果、バス使用状態監視回路10も同時刻 $T_3$ でシステムバス使用信号を取り下げる。

一方、メモリ4をアクセスしようとするバスマスタ21のバス要求回路20aは、バス使用状態監視回路10からのシステムバス使用信号により、時刻 $T_2$ においてシステムバス要求信号③は出力せずに

バイパスバス要求信号④をバイパスバス調停回路9に出力してバイパスバス要求を行う。すると、バイパスバス調停回路9は時刻 $T_4$ でバス要求回路20aに対してバイパスバス応答信号⑤を返し、バイパスバス8の使用を許可する。バス使用状態監視回路10はこのバイパスバス応答信号⑤を検出すると、バイパスバス使用信号をハイレベル“H”にする。この時点でバスマスタ21はアドレス信号⑥を出してアドレス一時保持回路11eで一時保持してメモリ制御回路3にアドレスを出し、システムバス7を使用してメモリ4のアクセスを行う。この時、アドレス一時保持回路11a、11d、11fはディスエーブル状態である。

バスマスタ21のメモリ4とのアクセスが終了すると、バスマスタ21は時刻 $T_5$ でバイパスバス調停回路9へのバイパスバス要求信号④を取り下げ、時刻 $T_6$ でバイパスバス調停回路9はバイパスバス8への応答信号⑤を取り下げる。これに伴ってバス使用状態監視回路10からのバイパスバス使用信号もローレベル“L”になる。

この後、暫くの間プロセッサ1がシステムバス7を使用しない状態の時に、バスマスタ21がI/O 6をアクセスしようとする時は、バスマスタ21は時刻 $T_7$ でシステムバス調停回路5にバス要求信号③を出力する。すると、システムバス調停回路5は時刻 $T_8$ でバスマスタ21にシステムバス応答信号④を出力してシステムバス7の使用を許可する。この時、バス使用状態監視回路10によりシステムバス使用信号がハイレベル“H”にされる。バスマスタ21はアドレス信号⑥を出してアドレス一時保持回路11fで一時保持してI/O 6にアドレスを出し、システムバス7を使用してI/O 6のアクセスを行う。この時、アドレス一時保持回路11b、11d、11eはディスエーブル状態である。

そして、バスマスタ21のI/Oアクセスが終了すると、バスマスタ21は時刻 $T_9$ でシステムバス要求信号③を取り下げ、これに回答してシステムバス調停回路5は時刻 $T_{10}$ でシステムバス応答信号④を取り下げ、バス使用状態監視回路10からのシステムバス使用信号もローレベル“L”になる。

このように、この実施例のデータ転送装置では、システムバス7がプロセッサ1またはバスマスタ21、22の何れかに使用されていても、システムバス7を使用中でないプロセッサ1またはバスマスタ21、22は、バイパスバス8を使用してメモリ4とのデータ転送を実行することができる。

なお、プロセッサ1とバスマスタ21とから同時にシステムバス要求信号①、③がシステムバス調停回路5に出力された時は、システムバス調停回路5は優先順位の高い方、例えばプロセッサ1にシステムバス応答信号②を出力し、バスマスタ21にはシステムバス応答信号③を出力しない。このような状態の時はバスマスタ21はバイパスバス8を使用してもデータ転送できる場合は、バイパスバス要求信号④をバイパスバス調停回路9に出力し、バイパスバス8を使用してデータ転送を行うことができる。また、バイパスバス8の連絡先は、データ転送の頻度に応じて決定すれば良く、システムバス7、バイパスバス8の使用優先順位は予め決めておけば良い。

(発明の効果)

以上説明したように、本発明のデータ転送装置は、システムバスとは完全に独立したバイパスバスを設けることにより、プロセッサまたは複数のバスマスタのいずれかがシステムバスを使用している時でも、システムバスを使用中でないプロセッサまたは複数のバスマスタのいずれかは、システムバスによるデータ転送先でなく、かつバイパスバスによって連絡されているメモリまたはI/Oとデータ転送を行うことができるので、システムの効率を向上させることができるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の原理ブロック図、第2図は本発明のデータ転送装置の一実施例を示すブロック図、第3図は第2図の装置の動作の一例を示すタイムチャート、第4図は従来のデータ転送装置の構成を示すブロック図、第5図は第4図の装置の動作を示すタイムチャート図である。

1…プロセッサ、 2, 21, 22…バスマスタ、

3…メモリ制御回路、4…メモリ、  
5…システムバス調停回路、  
6…入出力装置 (I/O)、  
7…システムバス、 8…バイパスバス、  
9…バイパスバス調停回路、  
10…バス使用状態監視回路、  
11a ~ 11f …アドレス一時保持回路、  
12a ~ 12d …データ方向切換回路、  
13a ~ 13i …データ方向切換及び一時保持回路、  
17…アドレスバス。

特許出願人

富士通株式会社

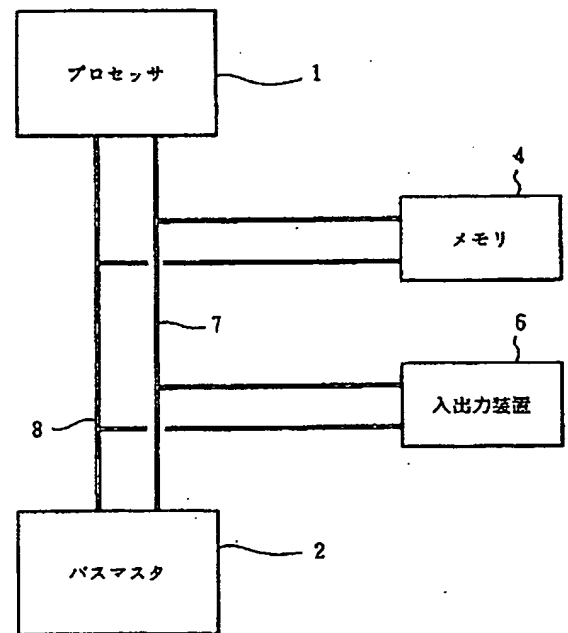
特許出願代理人

弁理士 青 木 朗

弁理士 西 館 和 之

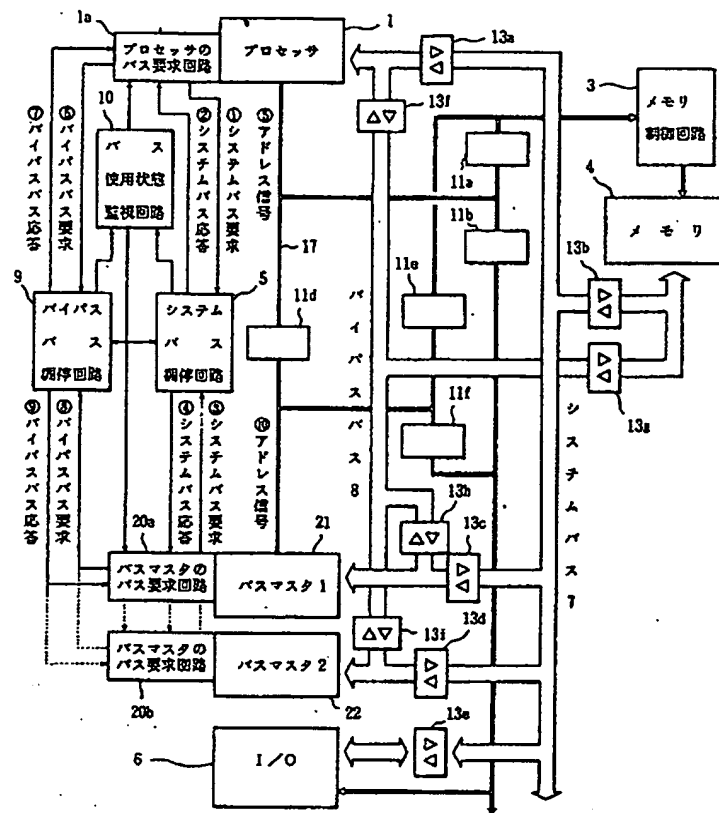
弁理士 内 田 幸 男

弁理士 山 口 昭 之



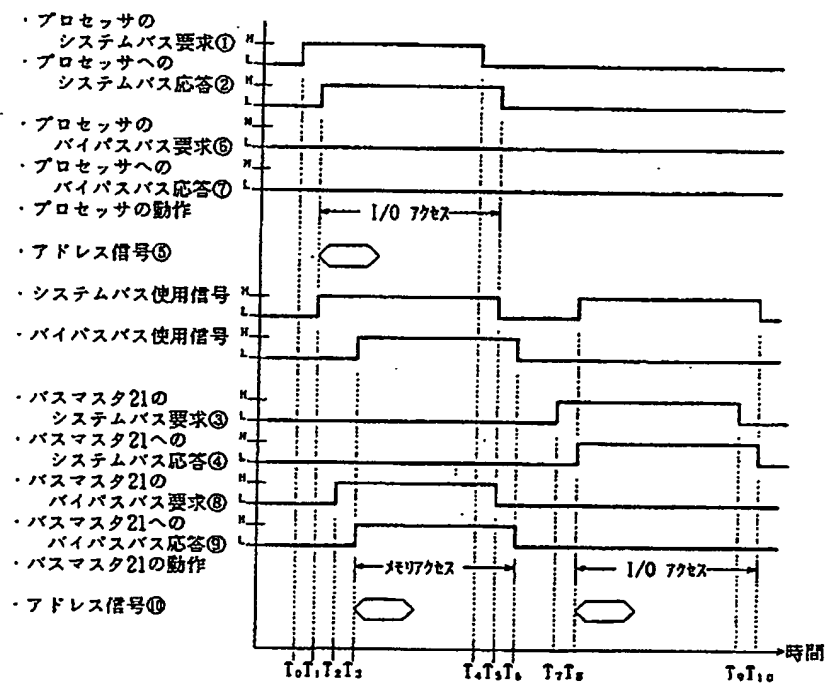
本発明の原理ブロック図

第 1 図



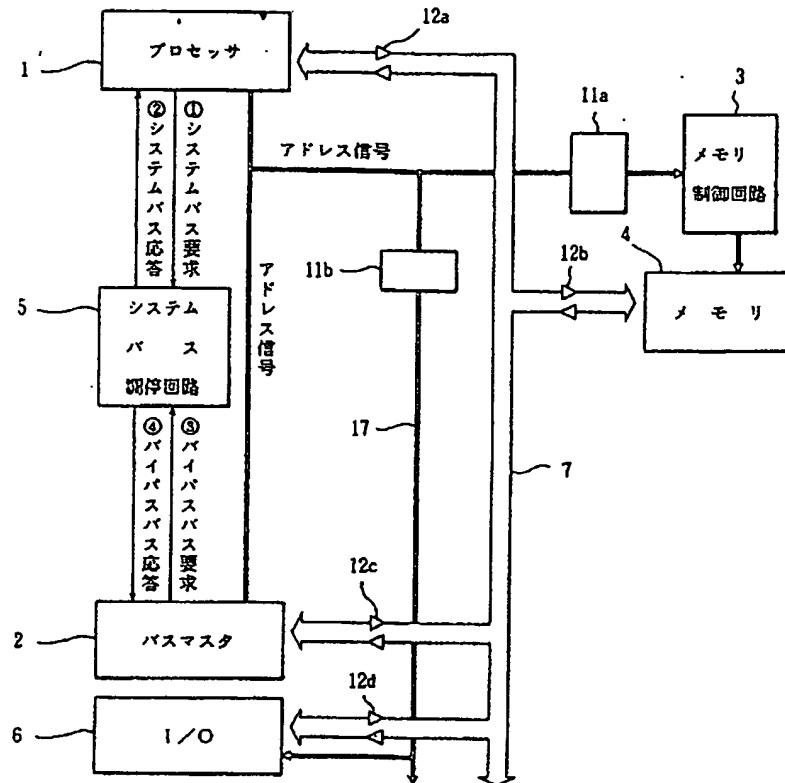
本発明のデータ転送装置の構成を示す図

第 2 図



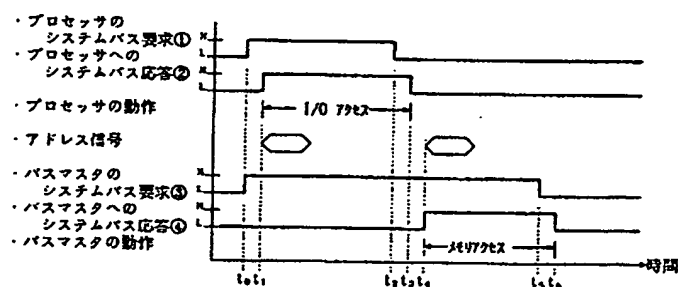
第4図のデータ転送装置の動作を示すタイムチャート

第 3 図



従来のデータ転送装置の構成を示す図

第 4 図



第 4 図のデータ転送装置の動作を示すタイムチャート

第 5 図